

Family list

10 application(s) for: JP7066425

- 1 Semiconductor device and method for manufacturing the same**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** G02F1/136; G02F1/1368; H01L21/20; (+13)
Publication info: CN1109212 (A) — 1995-09-27
CN1039464 (C) — 1998-08-05
- 2 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** G02F1/136; G02F1/1368; H01L21/20; (+18)
Publication info: JP7066425 (A) — 1995-03-10
JP2814049 (B2) — 1998-10-22
- 3 SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB KK [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** G02F1/136; G02F1/1368; H01L21/20; (+13)
Publication info: KR0184615 (B1) — 1999-03-20
- 4 Semiconductor device having transistors with different orientations of crystal channel growth with respect to current carrier direction**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** G02F1/136; G02F1/1368; H01L21/20; (+14)
Publication info: US5534716 (A) — 1996-07-09
- 5 Semiconductor device having a crystallized silicon thin film in which the crystallization direction is oriented either vertically or horizontally to the current flow direction**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** H01L21/77; H01L21/84; H01L27/12; (+6)
Publication info: US5616506 (A) — 1997-04-01
- 6 Semiconductor device and method for manufacturing the same**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** H01L21/77; H01L21/84; H01L27/12; (+7)
Publication info: US6194254 (B1) — 2001-02-27
- 7 Method for manufacturing a semiconductor device**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** H01L21/77; H01L21/84; H01L27/12; (+5)
Publication info: US6482686 (B1) — 2002-11-19
- 8 Semiconductor device and method for manufacturing the same**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+2) **IPC:** H01L21/77; H01L21/84; H01L27/12; (+10)
Publication info: US2003054595 (A1) — 2003-03-20
US7045819 (B2) — 2006-05-16
- 9 Semiconductor device and method for manufacturing the same**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L21/20D; (+4) **IPC:** H01L21/84; H01L21/324; H01L21/70; (+1)
Publication info: US2006014337 (A1) — 2006-01-19
US7410849 (B2) — 2008-08-12
- 10 Semicondustor device and method for manufacturing the same**
Inventor: TAKEMURA YASUHIKO [JP] **Applicant:** SEMICONDUCTOR ENERGY LAB [JP]
EC: H01L21/77T; H01L27/12; (+1) **IPC:** G02F1/136; H01L21/336; G02F1/1368; (+12)
Publication info: US2008305589 (A1) — 2008-12-11

Data supplied from the *esp@cenet* database — Worldwide

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Publication number: JP7066425 (A)
Publication date: 1995-03-10
Inventor(s): TAKEMURA YASUHIKO [JP]
Applicant(s): SEMICONDUCTOR ENERGY LAB [JP]
Classification:
 - international: G02F1/136; G02F1/1368; H01L21/20; H01L21/265; H01L21/336; H01L21/77; H01L21/84; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L27/12; H01L29/66; (IPC1-7): H01L29/786; G02F1/136; H01L21/20; H01L21/26; H01L21/268; H01L21/336
 - European: H01L21/77T; H01L27/12; H01L29/786E4C2
Application number: JP19930235461 19930827
Priority number(s): JP19930235461 19930827

Also published as:

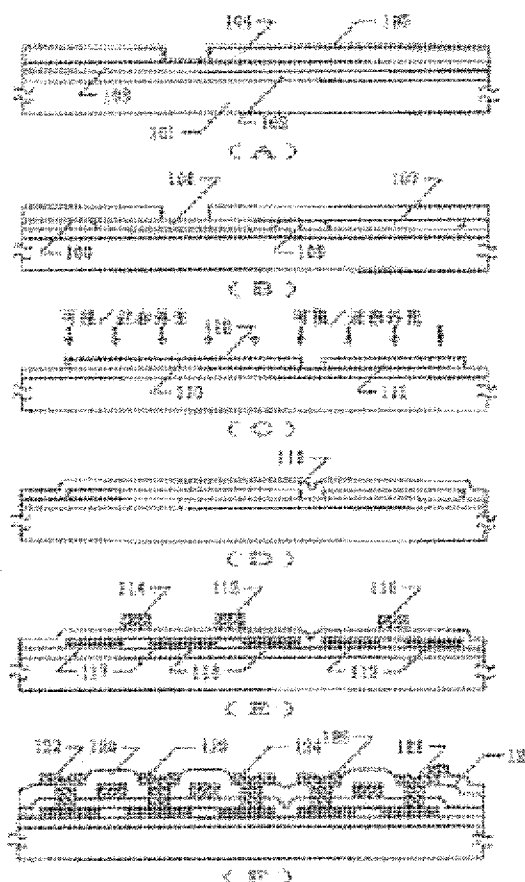
JP2814049 (B2)
 US5534716 (A)
 US2008305589 (A1)
 KR0184615 (B1)
 CN1109212 (A)

more >>

Abstract of JP 7066425 (A)

PURPOSE: To form incompatible TFT characteristics on the same substrate, by constituting TFT's of the peripheral circuit part of crystalline silicon films constituted in the direction parallel to the carrier flow, and constituting TFT's of the picture element part of crystalline silicon constituted in the direction vertical to the carrier flow.

CONSTITUTION: In an active layer 110, the source/drain direction is in parallel with the crystallization direction. In an active layer 111, the source/drain direction is vertical to the crystallization direction. As the result, TFT's formed in the active layer 110 have characteristics that the ON current is large, and TFT's formed in the active layer 111 have characteristics that the OFF current is small.; Thereby the constitution capable of high speed operation can be obtained in the peripheral circuit part, and the constitution wherein TFT's having small OFF current necessary for charge holding are arranged can be obtained. Hence the incompatible TFT characteristics can be formed on the same substrate.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66425

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 Y
			21/ 26	L
審査請求 有 請求項の数10 F D (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平5-235461

(22) 出願日 平成5年(1993)8月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 竹村 保彦

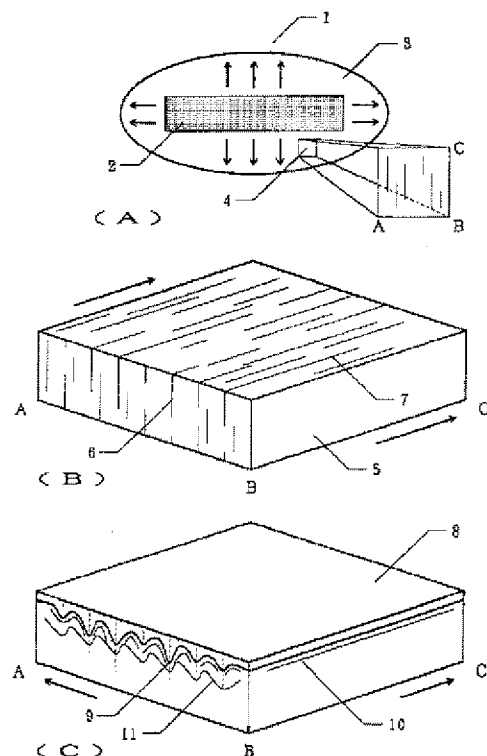
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 同一基板上に、低リーク電流の薄膜トランジスタ (T F T) と高速動作トランジスタを形成する作製する方法を提供する。

【構成】 非晶質珪素を結晶化させる触媒作用を有する金属元素を選択的に添加・アニールすることによって、珪素膜に方向性を持たせて結晶化させ、このように結晶化した珪素膜を用いて、T F T を作製する際に、結晶化方向が、ソース／ドレイン間の電流の向きに概略平行になるように配置したT F T と、ソース／ドレイン間の電流の向きに概略垂直になるように配置したT F T とを作製する。そして、前者を高速動作が要求されるトランジスタ、後者を低リーク電流が要求されるトランジスタとして用いる。例えば、アクティブマトリクス回路とその駆動のための周辺回路とを同一基板上に有するモノリシック回路において、前者を周辺回路のドライバートランジスタ、後者をアクティブマトリクス回路の画素トランジスタに用いる。



1

【特許請求の範囲】

【請求項 1】 基板上に基板表面に平行に結晶成長し、その表面が熱酸化によって形成された酸化珪素層によって覆われた結晶性珪素膜を有し、前記結晶性珪素膜を利用して薄膜トランジスタが多数設けられており、前記多数の薄膜トランジスタの一部において、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度を有するように構成され、前記多数の薄膜トランジスタの他の一部において、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成され、

【請求項 2】 基板上に基板表面に平行に結晶成長し、その表面が熱酸化によって形成された酸化珪素層によって覆われた結晶性珪素膜を有し、前記結晶性珪素膜を利用して薄膜トランジスタが多数設けられており、前記多数の薄膜トランジスタの一部は、アクティブマトリックス型液晶表示装置の周辺回路部分に設けられ、前記多数の薄膜トランジスタの他の一部は、アクティブマトリックス型液晶表示装置の画素部分に設けられ、前記周辺回路部分に設けられた薄膜トランジスタにおいて、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度を有するように構成され、前記画素部分に設けられた薄膜トランジスタにおいて、前記結晶性珪素膜中のキャリアの移動する方向と結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成され、

【請求項 3】 請求項 1 または請求項 2 において、第 1 の特定の角度が概略平行であり、第 2 の特定の角度が概略垂直であることを特徴とする半導体装置。

【請求項 4】 基板上に実質的に非晶質の珪素膜を形成する第 1 の工程と、該工程の前または後において、結晶化を助長する金属元素を選択的に導入する第 2 の工程と、加熱によって前記非晶質珪素膜を結晶化させ、前記金属元素が選択的に導入された領域の周辺領域において、基板表面に対し概略平行な方向に結晶成長をおこなう第 3 の工程と、酸化雰囲気中において前記結晶成長した珪素膜を加熱酸化することによって、前記珪素膜表面に酸化珪素層を形成する第 4 の工程と、前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性珪素膜で多数の薄膜トランジスタを形成する第 5 の工程と、を有し、

2

前記多数の薄膜トランジスタの一部は、キャリアの移動方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度を有するように構成され、前記多数の薄膜トランジスタの他の一部は、キャリアの移動する方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成され、

【請求項 5】 基板上に実質的に非晶質の珪素膜を形成する第 1 の工程と、

該工程の前または後において、結晶化を助長する金属元素を選択的に導入する第 2 の工程と、加熱によって前記非晶質珪素膜を結晶化させ、前記金属元素が選択的に導入された領域の周辺領域において、基板表面に対し概略平行な方向に結晶成長をおこなう第 3 の工程と、酸化雰囲気中において前記結晶成長した珪素膜を加熱酸化することによって、前記珪素膜表面に酸化珪素層を形成する第 4 の工程と、

前記基板表面に対して概略平行な方向に結晶成長を行わせた領域の結晶性珪素膜で多数の薄膜トランジスタを形成する第 5 の工程と、を有し、

前記多数の薄膜トランジスタの一部は、アクティブマトリックス型液晶表示装置の周辺回路部分に形成されており、キャリアの移動する方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度を有するように構成され、前記多数の薄膜トランジスタの他の一部は、アクティブマトリックス型液晶表示装置の画素部分に形成されており、キャリアの移動する方向と結晶性珪素膜の結晶成長方向とが第 1 の特定の角度とは異なる第 2 の特定の角度を有するように構成されていることを特徴とする半導体装置の作製方法。

【請求項 6】 請求項 4 または請求項 5 において、第 1 の特定の角度が概略平行であり、第 2 の特定の角度が概略垂直であることを特徴とする半導体装置の作製方法。

【請求項 7】 請求項 4 または請求項 5 または請求項 6 において、金属元素として Ni、Cu、Pd、Pt の中から選ばれた少なくとも一つの材料を用いることを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 4 または請求項 5 において、第 3 の工程の後に、前記結晶成長した珪素膜を短時間加熱する工程を有することを特徴とする半導体装置の作製方法。

【請求項 9】 請求項 8 において、短時間の加熱はラビッド・サーマル・アニール (RTA) 法によってなされることを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 9 において、ラビッド・サーマル・アニール (RTA) 法に用いられる光源は 0.6 ~ 4 μm の波長を有する赤外光が用いられることを特徴と

3

する半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ガラス等の絶縁基板上に設けられたTFT（薄膜トランジスタ）を用いた半導体装置に関する。特に、アクティブマトリックス型の液晶表示装置に利用できる半導体装置あるいは同様なマトリックス回路等に関する。

【0002】

【従来の技術】ガラス等の絶縁基板上にTFTを有する半導体装置としては、これらのTFTを画素の駆動に用いるアクティブマトリックス型液晶表示装置やイメージセンサー、3次元集積回路等が知られている。これらの装置に用いられるTFTには、薄膜状の珪素半導体を用いるのが一般的である。特に、高速特性を得る為には、結晶性を有する珪素半導体からなるTFTの作製方法の確立が強く求められている。このような結晶性を有する薄膜状の珪素半導体を得る方法としては、非晶質の半導体膜を成膜しておき、熱エネルギーを加えること（熱アニール）により結晶化をおこなう方法が知られている。

【0003】

【発明が解決しようとする課題】さて、このように形成された結晶性珪素膜を用いて、実用に供せられる半導体回路を作製する場合にはいくつかの困難があった。例えば、液晶表示装置に用いられるアクティブマトリックス型回路（個々の画素に制御用にトランジスタの配置された回路）を、マトリックス領域のみならず、その駆動のための周辺回路までTFTによって構成された回路（モノリシック型のアクティブマトリックス回路）を考えてみよう。

【0004】このような複雑な回路においては、TFTに要求される特性は回路の場所によって異なる。例えば、アクティブマトリックスの画素の制御に用いられるTFTは画素（画素電極と対抗電極によって構成されたキャパシタ）に蓄えられた電荷を保持するために、リーク電流が十分に小さいことが要求される。しかし、電流駆動能力はさほど高くなくても良い。

【0005】一方、マトリックスに信号を送るドライバー回路に用いられるTFTでは、短時間に大電流のスイッチングをおこなわなければならないので、電流駆動能力の高いTFTが求められる。しかしながら、リーク電流に関してはそれほどシビアではない。理想的には、電流駆動能力が高く、かつ、リーク電流の低いTFTが望ましい。しかしながら、現在、得られるTFTはその理想からはほど遠いものであり、電流駆動能力が大きければリーク電流が大きく、リーク電流が小さければ、電流駆動能力が低いというあい矛盾する特性を抱えていた。

【0006】従来のTFTを用いたモノリシック型のアクティブマトリックス回路では、このような必要とされる

4

特性の違いに関しては、TFTのチャンネル長やチャンネル幅を変更することによって対応してきた。しかしながら、回路がより微細になると、従来のようなスケールによる変更も限られてきた。例えば、大きな電流駆動能力を得るためには、チャンネル幅を大きくすることが必要であるが、現在のモノリシック回路ではチャンネル幅が $500 \sim 1000 \mu\text{m}$ もの広いTFTが用いられている。しかし、今後、さらに画素数が増加したり、階調度数を上げたりという理由によって、さらに大きな電流駆動能力が求められた場合に、チャンネル幅を 5mm 、 10mm というように拡大してゆくことは、周辺回路の領域が限られていることから困難である。

【0007】一方、画素の制御に用いられるTFTにしても、より電荷保持能力を高めて、きれいな画質を得ようとしても、リーク電流を低下させるために、チャンネル長を $50 \mu\text{m}$ 、 $100 \mu\text{m}$ と大きくすることは、せいぜい数 $100 \mu\text{m}$ 角の大きさという画素領域の大きさを考えると不可能であることは自明である。この結果、従来のTFTモノリシック型のアクティブマトリックス回路においては、マトリックスの規模、ピッチ、画素数が大幅に制限され、ハイビジョン映像を得られるような高精細画面は作製できなかった。このような問題はモノリシック型のアクティブマトリックス回路に限らず、その他の半導体回路においても見られた。本発明はこのような問題を解決し、回路全体としての特性をより向上させることを目的とする。

【0008】

【課題を解決する手段】本発明人らは、非晶質珪素膜の結晶化を促進するために、幾つかの金属元素が有効であることを確認した。結晶化を促進させる元素としては、8族元素であるFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Ptや、3d元素であるSc、Ti、V、Cr、Mn、Cu、Zn、貴金属であるAu、Ag等である。中でも、Ni、Cu、Pd、Ptの効果は大きかった。これらの金属元素を添加することにより、結晶化温度を低下させ、結晶化に要する時間も短縮することができる。

【0009】これらの金属元素を添加する方法としては、非晶質珪素の上または下に接して該金属元素膜もしくは該金属元素を含有する薄膜を形成する方法がある。また、イオン注入によって金属元素を添加してもほぼ同様の効果が確認された。例えば、ニッケルの場合については、 $1 \times 10^{15} \text{atoms/cm}^3$ 以上の量の添加において低温化が確認されている。

【0010】添加すべき量は金属元素の種類によって異なるが、ニッケルの場合では、 $1 \times 10^{17} \text{atoms/cm}^3 \sim 1 \times 10^{20} \text{atoms/cm}^3$ の範囲がよい。ニッケルの濃度が、 $5 \times 10^{19} \text{atoms/cm}^3$ 以上になると、局部的に珪化ニッケルが発生し、半導体としての特性が低下してしまう。またニッケルの濃度が $1 \times$

5

$10^{17} \text{ atoms/cm}^3$ 以下であると、ニッケルの触媒としての効果が低下してしまう。また、半導体としては、ニッケルの濃度が低い程、信頼性が良い。

【0011】このように特定の金属元素を珪素膜に添加することによって、結晶化を促進できることが明らかになったが、加えて、これらの金属元素を選択的に珪素膜に添加することによって、金属元素の添加された領域から選択的に結晶成長が発生し、周囲に拡大してゆくことが確認された。しかも、より詳細な観察によると、これらの金属を添加された珪素膜は針状の結晶が膜厚方向ではなく、基板表面に沿った方向に成長することが観察されている。

【0012】このような金属元素の添加された珪素膜は針状に結晶が成長し、その幅は珪素膜厚の0.5~3倍程度であり、横方向への、すなわち、結晶の側面への成長は少ない。このため、結晶成長方向に平行に粒界が形成される。なお、金属元素としてニッケルを用いた場合には、(111)方向に結晶が成長する。このような結晶成長の例を図1に示す。図1(A)では、選択的に金属元素の添加された領域から結晶成長が生じる様子を上から見た図を示す。図において、領域2は金属元素の添加された珪素領域である。結晶成長は、この領域2から周囲に拡大する。図の楕円の領域3が横方向に成長した部分である。結晶成長の方向を図中に矢印で示した。領域2の外側の領域1は、まだ、結晶化していない領域である。領域3の一部、正方形の領域4を取り出して、さらに拡大した概念図を図1(B)である。5は珪素膜を示し、6、7は粒界を示す。すなわち、図にも示したように結晶成長の方向(ここでは、B→C)に平行に粒界が発生する。したがって、結晶成長の方向に平行な断面(BC面)では、粒界は観察されることが少ないが、結晶成長の方向に垂直な断面(BA面)では、多数の粒界が観察される。

【0013】次に、このような膜を熱酸化法によって酸化した場合を考える。熱酸化は、通常の熱アニールを酸化性雰囲気(酸素、オゾン、酸化窒素等の雰囲気)でおこなってもよいし、ラビッド・サーマル・アニール(RTA)法に代表されるように、短時間に珪素膜表面を酸化性雰囲気で高温にさらす方法を用いてもよい。このような酸化は粒界(非晶質珪素成分が多い)にそって進行するため、図1(C)に示すように、結晶成長の方向に垂直な(すなわち、粒界の多く観察される)BA面では酸化珪素層8と珪素膜との界面9が著しく上下するのに対し、結晶成長の方向に垂直な(すなわち、粒界あまり観察されない)BC面では酸化珪素層/珪素膜界面9は極めて滑らかである。

【0014】このような形状の違いは珪素膜表面を流れる電流にも大きな影響を及ぼし、BA方向の電流は、上記の如き、界面の凹凸によって、電流が妨げられる。一方、BC方向の電流は極めてスムーズに流れる。このた

6

め、表面において電流を制御する絶縁ゲイト型電界効果トランジスタのソース/ドレイン電流の流れる方向をBA方向とすると、該トランジスタは、実質的なチャネル長の増加によって、リーク電流が低下する。一方、ソース/ドレイン電流の流れる方向をBA方向とすると、該トランジスタの電流は実質的な障害(粒界等)がほとんどないため、モビリティが大きい。特にBA方向のリーク電流をBC方向のものに比較して十分に低減させるには熱酸化膜の厚さは50Å以上あることが好ましい。特に、結晶珪素膜において非晶質成分が混在している場合には、非晶質成分の酸化速度が大きいため、非晶質成分の存在する部分(主として、粒界の近傍)においては、他の部分よりも酸化膜がより厚く形成される。したがって、このような酸化珪素膜の凹凸がゲイト絶縁膜の厚さに比べてかなり大きな場合(代表的にはゲイト絶縁膜の1割以上)には上記のような電流の流れやすさの異方性はより顕著となる。

【0015】このように異方性を有する結晶珪素膜表面を酸化し、この珪素膜のソース/ドレイン電流の方向を適当に制御することによって、著しく特性の異なるトランジスタを同一基板上に、場合によっては隣接して形成することができる。なお、実際のトランジスタにおいては、熱酸化膜の厚さだけでは、ゲイト絶縁膜として不十分であることが多いので、公知の物理的気相成長法(PVD法)、化学的気相成長法(CVD法)によって、絶縁膜を重ねて形成すればよい。すなわち、本発明は、上述のように、①非晶質珪素の結晶成長を促進する金属元素を、非晶質珪素膜に選択的に添加して、②方向性を有する結晶成長をおこなわせしめ、③このようにして結晶化した珪素膜を熱酸化させ、④ソース/ドレイン電流の方向と結晶化の方向とを所要の角度 α になるようにTFETの活性層を配置する、ことを特徴とする。そして、同一基板上に、 α の異なるTFETを複数個作製するものである。典型的には、 $\alpha=0$ (結晶成長の方向とソース/ドレイン電流の方向が同じ)と $\alpha=90^\circ$ (結晶成長の方向がソース/ドレイン電流の方向に垂直)の2種類のTFETを用いることによって実際に様々な回路を構成することができる。

【0016】例えば、アクティブマトリックス型液晶表示装置について考察すると、前述の通り、アクティブマトリックス型液晶表示装置においては、周辺回路において必要とされるTFETと画素部分において必要とされるTFETとで、その必要とされる特性が異なる。即ち、周辺回路のドライバーを形成するTFETは、高移動度が要求され大きなオン電流を流すことのできる特性が必要とされ、画素部分に設けられるTFETは、電荷保持率を高めるため、移動度はそれ程必要とされない代わりに、リーク電流(オフ電流)が小さいことが要求される。

【0017】そこで本発明を用いる場合には、前述の基板に平行な方向に結晶成長した結晶性珪素膜を用い、周

7

辺回路に用いるTF Tは、結晶成長方向と平行な方向にソース／ドレインが構成されるようにし、画素に用いるTF Tは、結晶成長方向と垂直な方向にソース／ドレインが構成されるようにする。即ち、周辺回路に用いるTF Tは、キャリアが移動する際に粒界と珪素膜／酸化珪素膜界面の凹凸の影響を極力受けない構成とし、画素に用いられるTF Tは、キャリアが移動する際に、粒界を横切るような構成とすることによって、ソース／ドレイン間を高抵抗とし、結果としてリーク電流（オフ電流）を下げる構成とするものである。このような珪素膜／酸化珪素膜界面の凹凸をより強調するには、一度、熱酸化して、非晶質部分を酸化珪素に変化せしめ、これを緩衝フッ酸等でエッチングすることによって、この熱酸化工程によって形成された酸化珪素を除去して、珪素表面の凹凸をより大きくし、これを更に熱酸化すればよい。これは、非晶質珪素が結晶珪素に比べ約2～3倍、酸化速度が大きいためであり、凹凸はより拡大される。その結果、結晶成長方向に対する角度によって、電流の流れやすさの違いが一段と拡大する。

【0018】上記構成は、キャリアがソース／ドレイン間を流れることを利用し、ソース／ドレインの方向（ソースとドレインを結ぶ線の方向）を前述の結晶の成長方向と平行にするか、あるいは垂直にするかで、必要とする特性を有するTF Tを得ることを思想とする。即ちキャリアが移動する際に、針状あるいは柱状に成長した結晶の粒界に平行な方向にキャリアを移動させるか（即ち結晶の成長方向に平行な方向に移動させるか）、あるいは針状あるいは柱状に成長した結晶の粒界に垂直な方向にキャリアを移動させるか（即ち結晶の成長方向に垂直な方向に移動させるか）、ということを選択することによって、高移動度TF Tを得るか、あるいはオフ電流の小さいTF Tを得るか、ということを経験的な思想とする。

【0019】

【作用】基板表面に対して平行な方向に結晶成長した結晶性珪素膜を用いてTF Tを構成する際に、結晶の成長方向にそってソース／ドレイン領域を形成することによって、キャリアの移動が粒界と珪素膜／酸化珪素膜界面の凹凸の影響をあまり受けない高移動度を有するTF Tを得ることができる。また、結晶成長方向に垂直な方向にソース／ドレイン領域を形成することにより、キャリアの移動が粒界と珪素膜／酸化珪素膜界面の凹凸の影響を受け、結果としてオフ電流の小さいTF Tを得ることができる。そして、これらのTF Tは、結晶成長方向に対してどのようにソース／ドレイン間を移動するキャリアの方向を設定させるかで作り分けることができる。

【0020】図2には、2種類のTF Tを結晶珪素領域14に作製する場合を示す。領域14は、図の長方形の領域12から周囲に拡大して得られた楕円形の結晶珪素領域13の一部であり、結晶成長の方向は図に矢印で示

8

した。この領域14に形成されるTF Tは、ソース／ドレイン方向が結晶成長の方向に垂直なTF T1と、平行なTF T2である。TF T1およびTF T2の典型的な特性は図3に示される。すなわち、TF T1は、TF T2に比較して、オン電流もオフ電流も小さくなる。例えば、TF T1では、TF T2に比較してオフ電流が典型的には0.5～2桁小さくなる。また、TF T2では、TF T1に比較してオン電流あるいは電界効果移動度は、典型的には10～30%上昇させることができる。そのため、例えば、TF T1をモノリシック型アクティブマトリクス回路の画素トランジスタに、TF T2を周辺回路のドライバートランジスタに用いれば、アクティブマトリクス回路の全体としての特性を一段と向上させることができる。

【0021】

【実施例】〔実施例1〕 図4、図5に本実施例の作製工程を示す。図4、図5は、周辺回路を構成すべきNTFTとPTFTとを相補型に構成した回路と画素トランジスタに用いられるべきNTFTとを有する回路の作製工程についてである。図4は断面図であり、図5は上面図である。なお、図4の(A)～(F)と図5の(A)～(C)とは対応するものではないが、個々の番号はそれぞれ対応する。

【0022】まず、基板（コーニング7059）101上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜102を形成した。基板は、下地膜の成膜の前もしくは後に、歪み温度よりも高い温度でアニールをおこなった後、0.1～1.0℃/分で歪み温度以下まで徐冷すると、その後の温度上昇を伴う工程（本発明の赤外光照射および熱アニールによる酸化工程を含む）での基板の収縮が少なく、マスク合わせが容易となる。コーニング7059基板では、620～660℃で1～4時間アニールした後、0.1～1.0℃/分、好ましくは、0.1～0.3℃/分で徐冷し、450～590℃まで温度が低下した段階で取り出すとよい。

【0023】さらに、プラズマCVD法によって厚さ300～800Åの非晶質珪素膜103を成膜した。そして、厚さ1000～3000Å、例えば2000Åの酸化珪素のマスク104を用いて、厚さ20～50Åのニッケル膜105をスパッタ法で成膜した。ニッケル膜は連続した膜状でなくともよい。（図4（A））

【0024】この後、窒素雰囲気下で500～620℃、例えば550℃、8時間、あるいは600℃、4時間の加熱アニールを行い、珪素膜103の結晶化を行った。結晶化は、ニッケルと珪素膜が接触した領域を出発点として、基板に対して平行な方向に結晶成長が進行した。図4（B）において、領域106、および107は本工程によって結晶化した領域であり、領域108および109は非晶質珪素のままの領域である。この状態を上から見た様子を示したのが図5（A）である。（図4

(B) および図5 (A))

【0025】次に、シリコン膜103をパターニングして、島状の活性層領域110 (相補型回路領域) および111 (画素トランジスタ領域) を形成した。この際、図5 (A) で楕円の中心に位置する長方形の領域は、ニッケルが直接導入された領域であり、ニッケルが高濃度に存在する領域である。また、領域106、107の結晶成長の先端にも、やはりニッケルが高濃度に存在する。これらの領域は、その間の結晶化している領域と比較してニッケルの濃度が1桁近く高いことが判明している。したがって、本実施例においては、活性層領域110、111、特にチャネル形成領域は、これらのニッケル濃度の高い領域を避けるように配置することが必要である。活性層のエッチングは垂直方向に異方性を有するRIE法によって行った。本実施例の活性層中でのニッケル濃度は、 $10^{17} \sim 10^{19} \text{ cm}^{-3}$ 程度であった。そして、ラピッド・サーマル・アニール法を用いて、活性層珪素膜の酸化をおこなった。具体的には酸素雰囲気中で、 $0.6 \sim 4 \mu\text{m}$ ここでは $0.8 \sim 1.4 \mu\text{m}$ にピークをもつ赤外光を $30 \sim 180$ 秒照射し、活性層110、111の表面に薄い酸化珪素膜112を形成した。雰囲気は $0.1 \sim 10\%$ のHClを混入してもよかった。(図4 (C))

【0026】赤外線光源としてはハロゲンランプを用いた。赤外光の強度は、モニターの単結晶シリコンウェハ上の温度が $900 \sim 1200^\circ\text{C}$ の間にあるように調整した。具体的には、シリコンウェハに埋め込んだ熱電対の温度をモニターして、これを赤外線光源にフィードバックさせた。本実施例では、昇温は、一定で速度は $50 \sim 200^\circ\text{C}/\text{秒}$ 、降温は自然冷却で $20 \sim 100^\circ\text{C}/\text{秒}$ であった。赤外線照射は基板を室温に保持した状態からおこなってもよいが、より効果を高めるには、予め基板を $200 \sim 450^\circ\text{C}$ 、例えば 400°C に加熱した状態でおこなってもよい。

【0027】この赤外光照射は、珪素膜を選択的に加熱することになるので、ガラス基板への加熱を最小限に抑えることができる。そして、珪素膜中の欠陥や不体結合手を減少させるのにも非常に効果がある。この赤外光照射によって形成された酸化珪素112の厚さは $50 \sim 150 \text{ \AA}$ であった。その後、スパッタリング法によって厚さ 1000 \AA の酸化珪素膜113をゲート絶縁膜として成膜した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は $200 \sim 400^\circ\text{C}$ 、例えば 350°C 、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素 $=0 \sim 0.5$ 、例えば 0.1 以下とする。(図4 (D))

【0028】引き続いて、減圧CVD法によって、厚さ $3000 \sim 8000 \text{ \AA}$ 、例えば 6000 \AA の珪素膜(0.1~2%の燐を含む)を成膜した。なお、この酸化珪素膜113と珪素膜の成膜工程は連続的に行うこと

が望ましい。そして、珪素膜をパターニングして、ゲイト電極114~116を形成した。この状態を上から見た様子を図5 (B) に示す。図の点線で示された楕円は図5 (A) の領域106、107に対応する。(図5 (B))

【0029】次に、イオンドーピング法によって、活性層にゲイト電極114~116をマスクとして不純物(燐およびホウ素)を注入した。ドーピングガスとして、フォスフィン(PH_3) およびジボラン(B_2H_6)を用い、前者の場合は、加速電圧を $60 \sim 90 \text{ kV}$ 、例えば 80 kV 、後者の場合は、 $40 \sim 80 \text{ kV}$ 、例えば 65 kV とし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とした。ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングした。この結果、N型の不純物領域118と119、P型の不純物領域117が形成された。

【0030】その後、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化をおこなった。レーザー光としては、KrFエキシマレーザー(波長 248 nm 、パルス幅 20 nsec)を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が $200 \sim 400 \text{ mJ}/\text{cm}^2$ 、例えば $250 \text{ mJ}/\text{cm}^2$ とし、一か所につき $2 \sim 10$ ショット、例えば2ショットとした。このレーザー光の照射時に基板を $200 \sim 450^\circ\text{C}$ 程度に加熱することは有用である。このレーザアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光の照射によって、再結晶化が容易に進行し、P型を付与する不純物がドーピングされた不純物領域117とN型を付与する不純物がドーピングされた不純物領域118と119は、容易に活性化された。(図4 (E))

【0031】続いて、厚さ 6000 \AA の酸化珪素膜120を層間絶縁物としてプラズマCVD法によって形成した。さらに、スパッタ法によって厚さ 500 \AA のITO膜を成膜し、これをパターニングして画素電極121を形成した。そして、層間絶縁物120にコンタクトホール(コンタクトホールの開孔位置は図5 (C) に示す)を形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFETの電極・配線122~126を形成した。最後に、1気圧の水素雰囲気中で 350°C 、30分のアニールをおこない、TFET回路を完成させた。(図6 (F))

【0032】図5 (B) から明らかであるが、活性層110においては、ソース/ドレイン方向は結晶化方向と平行であり、一方、活性層111においては、ソース/ドレイン方向は結晶化方向と垂直である。この結果、活性層110に形成されたTFETでは、オン電流が大きく、一方、活性層111に形成されたTFETでは、

オフ電流が小さいという特徴を有する。本実施例では分かりやすくするために、このように異なる特性を有する2種類のTFTを比較的近い位置に示したが、アクティブマトリクス回路のように、非常に離れた場所に作製してもよいことは言うまでもない。

【0033】〔実施例2〕 図6に本実施例の作製工程（断面図）を示す。基板（コーニング7059）201上にテトラ・エトキシ・シラン（TEOS）と酸素を原料としてプラズマCVD法によって、厚さ2000Åの酸化珪素の下地膜202を形成した。そして、下地膜の成膜後に、620～660℃で1～4時間アニールした後、0.1～1.0℃/分、好ましくは、0.1～0.3℃/分で徐冷し、450～590℃まで温度が低下した段階で取り出した。さらに、プラズマCVD法によって厚さ300～800Åの非晶質珪素膜203を成膜した。そして、厚さ1000～3000Å、例えば2000Åの酸化珪素のマスキング膜204を用いて、厚さ20～50Åのニッケル膜205をスパッタ法で成膜した。ニッケル膜は連続した膜状でなくともよい。（図6（A））

【0034】この後、窒素雰囲気下で500～620℃、例えば600℃、4時間の加熱アニールを行い、珪素膜203の結晶化を行った。結晶化は、ニッケルと珪素膜が接触した領域を出発点として、基板に対して平行な方向に進行した。図6（B）において、領域206、および207は本工程によって結晶化した領域であり、領域208および209は非晶質珪素のままの領域である。（図6（B））

【0035】次に、シリコン膜203をパターニングして、島状の活性層領域210（相補型回路領域）および211（画素トランジスタ領域）を形成した。活性層のエッチングは垂直方向に異方性を有するRIE法によっておこなった。続いて、活性層の結晶性をより向上させるためにラピッド・サーマル・アニール（RTA）処理をおこなった。具体的には、0.6～4μm、ここでは0.8～1.4μmにピークをもつ赤外光を30～180秒照射した。雰囲気中に0.1～10%のHClを混入してもよかった。

【0036】赤外線の光源としてはハロゲンランプを用いた。赤外光の強度は、モニターの単結晶シリコンウェハー上の温度が900～1200℃の間にあるように調整した。具体的には、シリコンウェハーに埋め込んだ熱電対の温度をモニターして、これを赤外線の光源にフィードバックさせた。本実施例では、昇温は、一定で速度は50～200℃/秒、降温は自然冷却で20～100℃/秒であった。赤外線照射は基板を室温に保持した状態からおこなってもよいが、より効果を高めるには、予め基板を200～450℃、例えば400℃に加熱した状態でおこなってもよい。

【0037】この赤外光照射は、珪素膜を選択的に加熱することになるので、ガラス基板への加熱を最小限に抑

えることができる。そして、珪素膜中の未結晶化領域や欠陥や不体結合手を減少させるのにも非常に効果がある。その後、基板を乾燥酸素雰囲気中で550～650℃、代表的には600℃で1時間アニールした。アニール温度は基板に影響を及ぼさない程度の温度を選択する必要がある。この結果、活性層の表面に20～200Å、代表的には40～100Åの厚さの熱酸化膜212が形成された。なお、この工程においては、パイロジェニック酸化法等の手段によって、酸素雰囲気中に水分を含ませた状態で、550～650℃で酸化おこなうと、500～800Åの厚さの酸化珪素膜を得られる。（図6（C））

【0038】その後、TEOSと酸素を原料とするプラズマCVD法によって厚さ1000Åの酸化珪素膜213をゲイト絶縁膜として成膜した。成膜時の基板温度は200～400℃、例えば350℃とし、TEOSに対して、1～50%、代表的には20%のトリクロロエチレン（TCE）を混入させた。TCEによって、ゲイト絶縁膜中に塩素が導入され、活性層に含まれていた可動イオン（ナトリウム等）が除去され、より特性が向上した。さらに、この工程の後、窒素または一酸化二窒素中で550～650℃で熱アニールしてもよい。（図6（D））

【0039】引き続いて、スパッタ法によって、厚さ3000～8000Å、例えば6000Åのアルミニウム膜（0.1～2%のスカンジウムを含む）を成膜した。そして、アルミニウム膜をパターニングして、ゲイト電極214～216を形成した。さらに、ゲイト電極に電解溶液中で通電することによって陽極酸化をおこない、ゲイト電極の上面および側面に1000～3000Å、ここでは2000Åの酸化アルミニウム膜を形成した。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液で行った。なお、この酸化アルミニウム層は、後のイオンドーピング工程において、オフセットゲイト領域を形成する厚さとなるので、オフセットゲイト領域の長さを上記陽極酸化工程で決めることができる。

【0040】次に、イオンドーピング法（プラズマドーピング法とも言う）によって、活性層領域（ソース/ドレイン、チャネルを構成する）にゲイト電極部、すなわちゲイト電極とその周囲の酸化層をマスクとして、自己整合的にPもしくはN導電型を付与する不純物を添加した。ドーピングガスとして、フォスフィン（PH₃）およびジボラン（B₂H₆）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとする。ドーピング量は1×10¹⁵～8×10¹⁵cm⁻²、例えば、磷を5×10¹⁵cm⁻²、ホウ素を2×10¹⁵とした。ドーピングに際しては、一方の領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングした。この

結果、N型の不純物領域218と219、P型の不純物領域217が形成され、Pチャネル型TFT (PTFT) の領域とNチャネル型TFT (NTFT) との領域を形成することができた。

【0041】その後、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化をおこなった。レーザー光としては、KrFエキシマレーザー（波長248nm、パルス幅20ns）を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200~400mJ/cm²、例えば250mJ/cm²とし、一か所につき2~10ショット、例えば2ショットとした。このレーザー光の照射時に基板を200~450℃程度に加熱することは有用である。このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光の照射によって、再結晶化が容易に進行し、不純物領域217~219は容易に活性化された。レーザーアニールの代わりにRTA法によって不純物の活性化をおこなってもよい。（図6（E））

【0042】続いて、厚さ6000Åの酸化珪素膜220を層間絶縁物としてプラズマCVD法によって形成した。さらに、スパッタ法によって厚さ500ÅのITO膜を成膜し、これをパターニングして画素電極226を形成した。そして、層間絶縁物220にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線221~225を形成した。最後に、1気圧の水素雰囲気中で350℃、30分のアニールをおこない、TFT回路を完成させた。（図6（F））

【0043】〔実施例3〕 図7に本実施例の作製工程（断面図）を示す。基板（コーニング7059）301上にテトラ・エトキシ・シラン（TEOS）と酸素を原料としてプラズマCVD法によって、厚さ2000Åの酸化珪素の下地膜302を形成した。そして、下地膜の成膜後に、620~660℃で1~4時間アニールした後、0.1~1.0℃/分、好ましくは、0.1~0.3℃/分で徐冷し、450~590℃まで温度が低下した段階で取り出した。さらに、プラズマCVD法によって厚さ300~1200Å、例えば1000Åの非晶質珪素膜303を成膜した。そして、厚さ1000~3000Å、例えば2000Åの酸化珪素のマスク304を用いて、厚さ20~50Åのニッケル膜305をスパッタ法で成膜した。ニッケル膜は連続した膜状でなくともよい。（図7（A））

【0044】この後、窒素雰囲気中で500~620℃、例えば600℃、4時間の加熱アニールを行い、珪素膜303の結晶化を行った。結晶化は、ニッケルと珪素膜が接触した領域を出発点として、基板に対して平行な方向に進行した。図7（B）において、領域306、および307は本工程によって結晶化した領域であり、

領域308および309は非晶質珪素のままの領域である。（図7（B））

次に、シリコン膜303をパターニングして、島状の活性層領域310（相補型回路領域）および311（画素トランジスタ領域）を形成した。活性層のエッチングは垂直方向に異方性を有するRIE法によっておこなった。

【0045】その後、10%の水蒸気を含む1気圧、550~650℃、代表的には600℃の酸素雰囲気中において、3~5時間放置することによって、活性層の表面を厚さ200~800Å、代表的には500Å酸化させ、酸化珪素層312、313を形成した。この酸化珪素層の形成にはパロジェニック酸化法（水素：酸素=1.8~1.0：1（体積比））が有効であった。その時、得られた酸化珪素層312、313の厚さは、400~1600Å、本実施例では1000Åだった。酸化珪素層を形成した後、1気圧の一酸化二窒素雰囲気中で600℃で1時間アニールをおこなうことによって、酸化珪素層中の水素を除去した。（図7（C））

【0046】引き続いて、スパッタ法によって、厚さ3000~8000Å、例えば6000Åのアルミニウム膜（0.1~2%のスカンジウムを含む）を成膜した。そして、アルミニウム膜をパターニングして、ゲイト電極314~316を形成し、さらに、実施例2と同様にゲイト電極に電解溶液中で通電することによって陽極酸化をおこない、ゲイト電極の上面および側面に1000~3000Å、ここでは2000Åの酸化アルミニウム膜を形成した。

【0047】次に、イオンドーピング法（プラズマドーピング法とも言う）によって、活性層領域（ソース/ドレイン、チャネルを構成する）にゲイト電極部、すなわちゲイト電極とその周囲の酸化層をマスクとして、自己整合的にPもしくはN導電型を付与する不純物を添加した。ドーピングガスとして、フォスフィン（PH₃）およびジボラン（B₂H₆）を用い、前者の場合は、加速電圧を60~90kV、例えば80kV、後者の場合は、40~80kV、例えば65kVとする。ドーズ量は1×10¹⁵~8×10¹⁵cm⁻²、例えば、磷を5×10¹⁵cm⁻²、ホウ素を2×10¹⁵とした。ドーピングに際しては、一方の領域をフォトレジストで覆うことによって、それぞれの元素を選択的にドーピングした。この結果、N型の不純物領域318と319、P型の不純物領域317が形成され、Pチャネル型TFT (PTFT) の領域とNチャネル型TFT (NTFT) との領域を形成することができた。

【0048】その後、レーザー光の照射によってアニールを行い、イオン注入した不純物の活性化をおこなった。レーザー光としては、KrFエキシマレーザー（波長248nm、パルス幅20ns）を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、

エネルギー密度が $200 \sim 400 \text{ mJ/cm}^2$ 、例えば 250 mJ/cm^2 とし、一か所につき $2 \sim 10$ ショット、例えば 2 ショットとした。このレーザー光の照射時に基板を $200 \sim 450^\circ\text{C}$ 程度に加熱することは有用である。このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光の照射によって、再結晶化が容易に進行し、不純物領域 $317 \sim 319$ は容易に活性化された。

【0049】次に酸化珪素被膜 320 をプラズマCVD法によって形成した。この被膜はゲート電極側面への被覆性が優れていることが重要である。被膜の厚さは $0.5 \sim 1 \mu\text{m}$ 、例えば $0.7 \mu\text{m}$ とした。(図7(D))そして、この絶縁性被膜をドライエッチング法等の手段によって異方性エッチングした。すなわち、垂直方向のみを選択的にエッチングした。この結果、ソース/ドレイン領域の表面は露出され、それぞれのゲート電極(周囲の陽極酸化物層を含む)の側面に概略三角形の絶縁物 321 、 322 、 323 が残った。

【0050】この概略三角形の絶縁物 $321 \sim 323$ の寸法、特にその幅は、先に成膜された酸化珪素膜 320 の厚さと、エッチング条件と、ゲート電極(周囲の陽極酸化物層を含む)の高さによって決定される。なお、得られる絶縁物 109 の形状は、三角形に限定されるものではなく、酸化珪素膜 320 のステップカバレッジや膜厚によってその形状が変化する。例えば、膜厚が小さな場合は、方形状となる。

【0051】そして、厚さ $5 \sim 50 \text{ nm}$ のチタン膜 324 をスパッタ法によって形成した。チタン以外にも、モリブデン、タングステン、白金、パラジウム等でもよい。(図7(E))そして、成膜後 $200 \sim 650^\circ\text{C}$ 、好ましくは $400 \sim 500^\circ\text{C}$ でアニールすることによって、チタン膜とソース/ドレイン領域の珪素とが反応し、ソース/ドレイン領域にシリサイド層を 325 、 326 、 327 を形成した。

【0052】その後、反応しなかったチタン膜(主として酸化珪素もしくは陽極酸化物上に堆積したもの)をエッチングした。そして、全面に層間絶縁物 328 として、CVD法によって酸化珪素膜を厚さ 6000 \AA 形成した。さらに、スパッタ法によってITO膜 $500 \sim 1000 \text{ \AA}$ を堆積して、これをパターニングし、画素電極 329 を形成した。最後に、図7(F)に示すように、TFTのソース/ドレインにコンタクトホールを

形成し、窒化チタンとアルミニウムの多層膜を堆積し、これをパターニングして、第2層の配線・電極 $330 \sim 334$ を形成した。窒化チタンとアルミニウムの厚さはそれぞれ、 800 \AA 、 5000 \AA とした。最後に、 1 気圧の水素雰囲気で 350°C 、 30 分のアニールをおこなひ、TFT回路を完成させた。(図7(F))

【0053】

【発明の効果】実施例で示した作製方法を、例えば、アクティブマトリックス型の液晶表示装置に用いれば、周辺回路部分のTFTをキャリアの流れに対して平行な方向に結晶成長させた結晶性珪素膜で構成し、画素部分のTFTをキャリアの流れに対して垂直方向に構成した結晶性珪素膜で構成することによって、周辺回路部分においては高速動作が行える構成とすることができ、画素部分では電荷保持のために必要とされるオフ電流値の小さいTFTを設ける構成とすることができる。このように、矛盾するTFT特性が同一基板上に要求される半導体回路において、TFTの向き等を変更するだけで、それぞれの要求に見合った特性のTFTを同時に形成できる。その結果、回路全体の特性を向上させることが可能となる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 本発明の原理を示す。

【図2】 本発明によるTFTの配置例を示す。

【図3】 本発明によるTFTの特性例を示す。

【図4】 実施例の作製工程断面図を示す。(実施例1参照)

【図5】 実施例の作製工程上面図を示す。(実施例1参照)

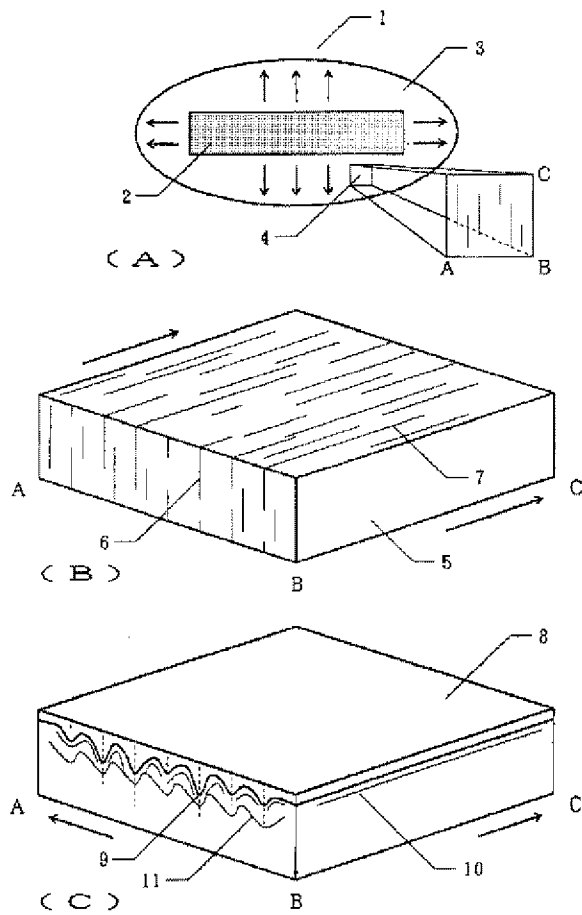
【図6】 実施例の作製工程断面図を示す。(実施例2参照)

【図7】 実施例の作製工程断面図を示す。(実施例3参照)

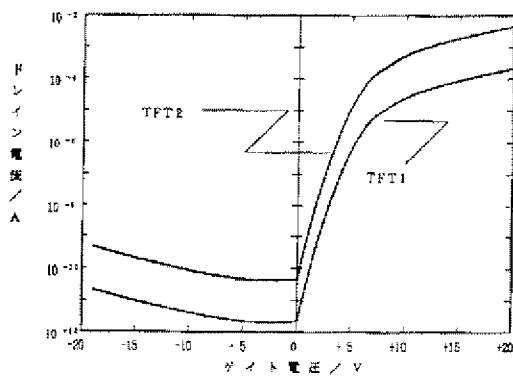
【符号の説明】

- | | |
|-------|----------------|
| 1 | 非晶質珪素領域 |
| 2、12 | 金属元素添加領域 |
| 3、13 | 横方向成長領域(結晶化領域) |
| 4、14 | 上記3の一部 |
| 5 | 横方向結晶化した珪素膜 |
| 6、7 | 粒界 |
| 8 | 熱酸化膜(酸化珪素層) |
| 9 | 酸化珪素層と結晶珪素膜の界面 |
| 10、11 | 電流の流れかた |

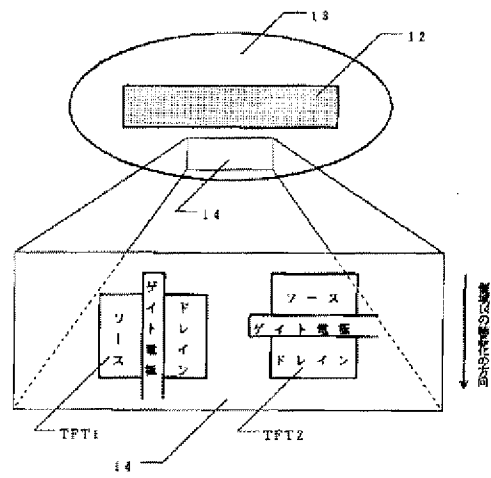
【図 1】



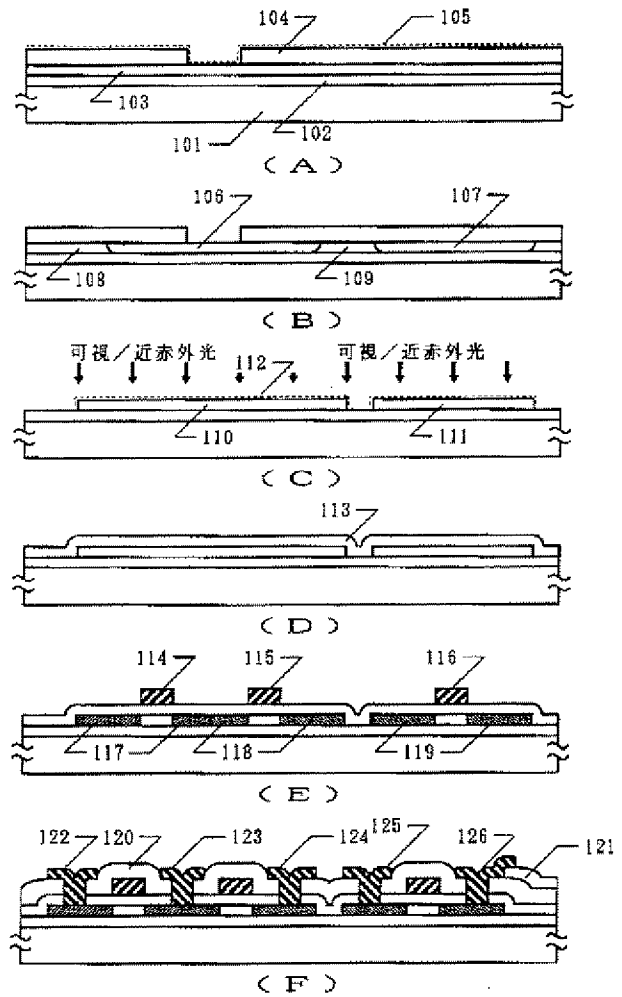
【図 3】



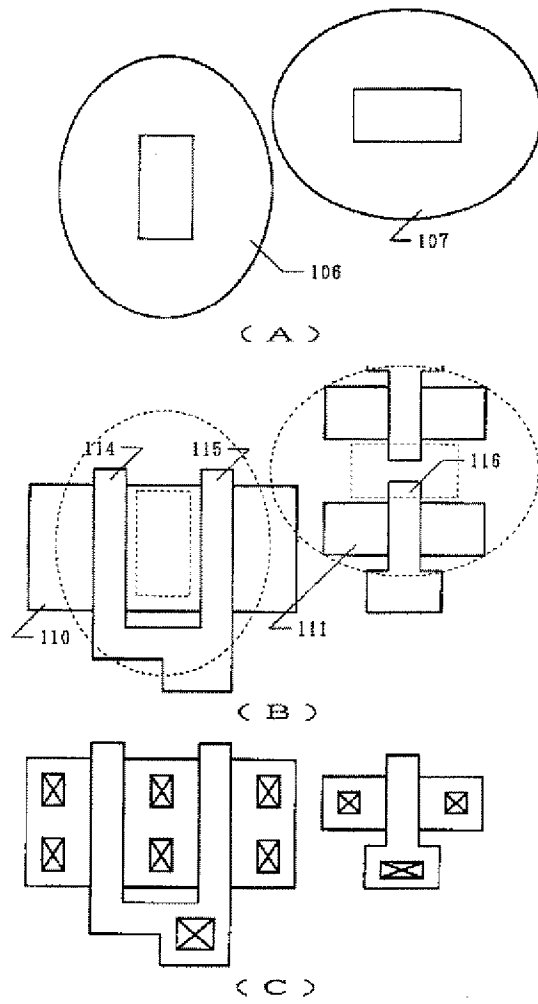
【図 2】



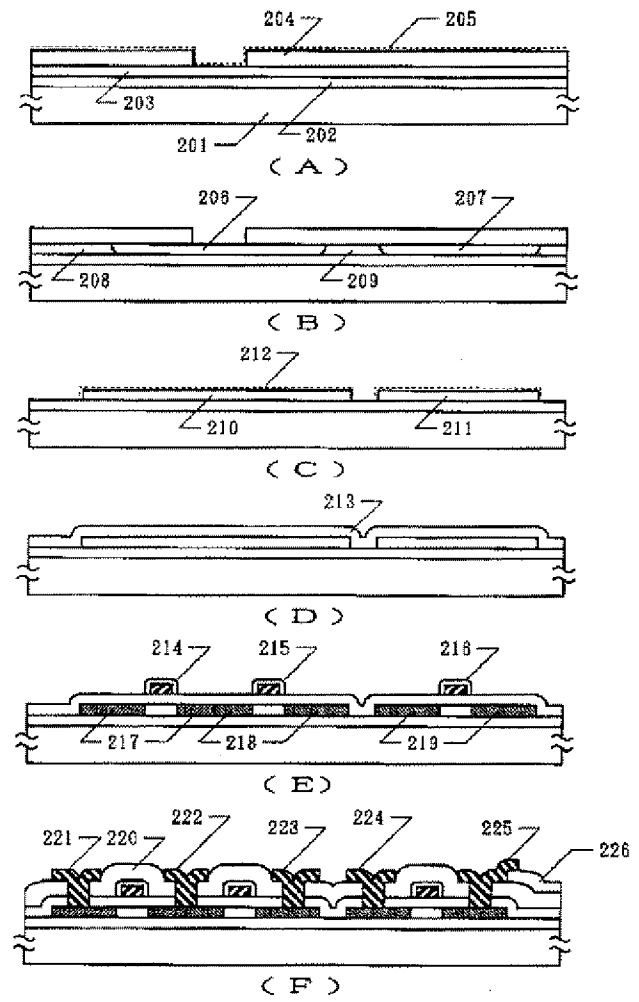
【図 4】



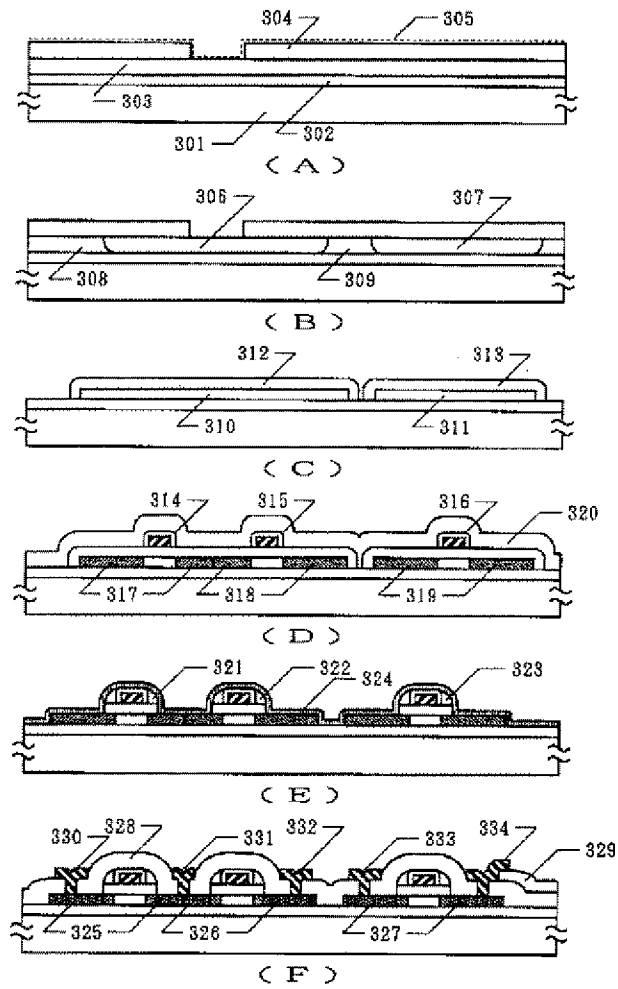
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/20

21/26

21/268

識別記号

片内整理番号

F I

技術表示箇所

8122-4M

Z

9056-4M

H 0 1 L 29/78

3 1 1 A